

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-45842

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.⁵

H 0 3 F 3/343
3/345

識別記号

庁内整理番号

F I

技術表示箇所

A 8124-5 J
B 8124-5 J

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号 特願平4-50201

(22)出願日 平成4年(1992)3月9日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 高橋 豊

東京都港区芝五丁目7番1号日本電気株式
会社内

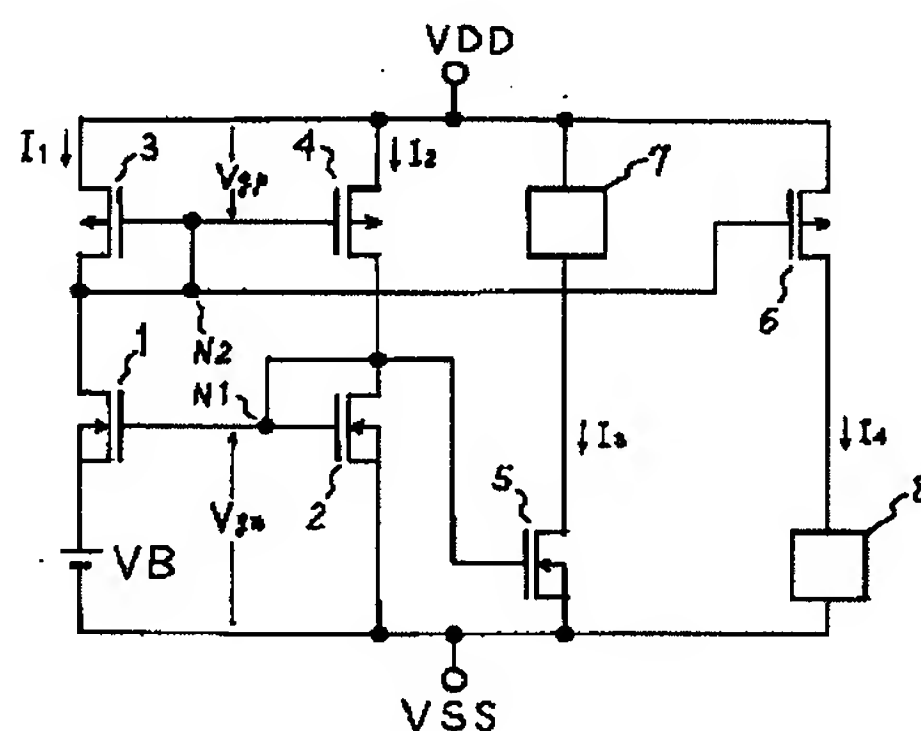
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 定電流回路

(57)【要約】

【目的】従来必要であった基準抵抗を必要としない定電流回路を提供する。

【構成】第一のnチャネルMOSトランジスタ1のソースに一定の電圧を代える機能を有し、第二のnチャネルMOSトランジスタ2、第一のpチャネルMOSトランジスタ3及び第二のpチャネルMOSトランジスタ4によりカレントミラー回路を構成することにより、第一のnチャネルMOSトランジスタのソース電圧VB及び各トランジスタの大きさにより決まる一定の電流 I_1 、 I_2 を得る。



VB: 基準電圧線

1: nチャネルMOSトランジスタ

2: nチャネルMOSトランジスタ

3: pチャネルMOSトランジスタ

4: pチャネルMOSトランジスタ

5: nチャネルMOSトランジスタ

6: pチャネルMOSトランジスタ

7: 負荷回路

8: 負荷回路

VDD: 正電源

VSS: 負電源

N1, N2: ノード (接続点)

1

【特許請求の範囲】

【請求項1】 第一のnチャネルMOSトランジスタと該第一のnチャネルMOSトランジスタのソースに一定の電圧を与える手段と、ゲート及びドレインを前記第一のnチャネルMOSトランジスタのゲートに接続し、ソースを第1の電源に接続する第二のnチャネルMOSトランジスタと、ソースを第2の電源に接続し、ドレイン及びゲートを前記第一のnチャネルMOSトランジスタのドレインに接続する第一のPチャネルMOSトランジスタと、ソースを前記第2の電源に接続し、ゲートを前記第一のpチャネルMOSトランジスタのゲートに接続し、ドレインを前記第二のnチャネルMOSトランジスタのドレインに接続する第二のpチャネルMOSトランジスタと、前記第一のnチャネルMOSトランジスタのゲート電圧をゲートに受け、ソースが前記第1の電源に接続された第三のnチャネルMOSトランジスタとを有し、前記第三のnチャネルMOSトランジスタのドレインから定電流を得る事を特徴とする定電流回路。

【請求項2】 第一のnチャネルMOSトランジスタと該第一のnチャネルMOSトランジスタのソースに一定の電圧を与える手段と、ゲート及びドレインを前記第一のnチャネルMOSトランジスタのゲートに接続し、ソースを第1の電源に接続する第二のnチャネルMOSトランジスタと、ソースを第2の電源に接続し、ドレイン及びゲートを前記第一のnチャネルMOSトランジスタのドレインに接続する第一のpチャネルMOSトランジスタと、ソースを前記第2の電源に接続し、ゲートを前記第一とpチャネルMOSトランジスタのゲートに接続し、ドレインを前記第二のnチャネルMOSトランジスタのドレインに接続する第二のpチャネルMOSトランジスタと、前記第一のpチャネルMOSトランジスタのゲート電圧をゲートに受け、ソースが前記第2の電源に接続された第三のpチャネルMOSトランジスタとを有し、前記第三のpチャネルMOSトランジスタのドレインから定電流を得る事を特徴とする定電流回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は定電流回路に関し、特にCMOS集積回路上で負荷に一定の電流を流す定電流回路に関する。

【0002】

【従来の技術】 まず、従来の定電流回路について、図面を参照して説明する。

【0003】 図3は従来の定電流回路を示す回路図である。nチャネルMOSトランジスタ23のソースは、正入力端子に、出力電圧の値がVBである基準電圧源VB

$$I_2 = (\mu_p C_{ox} W_{27} / 2 L_{27}) / (\mu_p C_{ox} W_{26} / 2 L_{26}) \cdot I_1 \quad (1)$$

$$I_4 = (\mu_p C_{ox} W_{28} / 2 L_{28}) / (\mu_p C_{ox} W_{26} / 2 L_{26}) \cdot I_1 \quad (2)$$

また、nチャネルMOSトランジスタ24、25がカレントミラー接続となっており、nチャネルMOSトラン

2

が接続された演算増幅器21の負入力端子、及び他端が負電源VSSに接続された抵抗22の一端に接続され、ゲートは演算増幅器21の出力端子に接続され、ドレインは、ノードN21に接続されている。pチャネルMOSトランジスタ26はゲートとドレインが、ノードN22に接続され、ソースが正電源VDDに接続されており、pチャネルMOSトランジスタ27は、ゲートがノードN22に、ソースが正電源VDDに、ドレインがノードN21にそれぞれ接続されている。さらに、nチャネルMOSトランジスタ24はゲートとドレインがノードN21に接続され、ソースが負電源VSSに接続されている。

【0004】 負荷回路29及び30が、定電流の供給を受ける回路であり、必要に応じてどちらか一方又は両方が使用される。負荷回路29の一端は正電源VDDに接続され、他端は、ゲートがノードN21に接続されソースが負電源VSSに接続されているnチャネルMOSトランジスタ25のドレインに接続されている。負荷回路30の一端は負電源VSSに接続され、他端は、ゲートがノードN22に接続され、ソースが正電源VDDに接続されているpチャネルMOSトランジスタ28のドレインに接続されている。なお、すべてのMOSトランジスタは、そのサブストレートゲートが、そのソースに接続されている。

【0005】 以下の説明において、nチャネルMOSトランジスタ23、24、25及びpチャネルMOSトランジスタ26、27、28の負荷移動度をそれぞれ μ_n 及び μ_p 、スレッショルド電圧をそれぞれ V_{+n} 及び V_{+p} とし、また単位面積当りのゲート酸化膜容量を、すべてのMOSトランジスタについて、 C_{ox} とする。さらに各MOSトランジスタ23、24、25、26、27、28のチャネル長及びチャネル幅をそれぞれ L_K 及び W_K とする。ただしKはそのMOSトランジスタを示す符号を表わす。さらに、pチャネルMOSトランジスタ26、27、28のドレイン電流をそれぞれ I_1 、 I_2 、 I_4 とし、nチャネルMOSトランジスタ25のドレイン電流を I_3 とし、抵抗22の抵抗値をRとする。また、説明を簡単にするため、負電源VSSの電圧の値は0とする。

【0006】 このとき、演算増幅器21は、正入力端子と負入力端子を同電位に保つように、動作するので、抵抗22の一端の電圧はVBとなり、従って、 $I_1 = VB / R$ となる。一方、pチャネルMOSトランジスタ26、27、28はカレントミラー接続になっているので、電流 I_2 、 I_4 はそれぞれ次のようになる。

【0007】

ジスタ24のドレイン電流が電流 I_2 であることから、 I_3 は次のように表わせる。

【0008】

$$I_3 = (\mu_n C_{ox} W_{25} / 2 L_{25}) / (\mu_n C_{ox} W_{24} / 2 L_{24}) \cdot I_2 \quad (3)$$

式(1), (2), (3)において $I_1 = V_B / R$ を考えれば、電流 I_3 , I_4 はそれぞれ次のようになる。

$$I_3 = (W_{25} W_{27} L_{24} L_{26} / W_{24} W_{26} L_{25} L_{27}) \cdot V_B / R \quad (4)$$

$$I_4 = (W_{28} L_{26} / W_{26} L_{28}) \cdot V_B / R \quad (5)$$

即ち、負荷回路29及び30には、それぞれ式(4), (5)に示される電流 I_3 及び I_4 が供給される。

【0010】

【発明が解決しようとする課題】この従来の定電流回路は、式(4), (5)に示すように、負荷回路に供給する電流値が各MOSトランジスタのサイズ、基準電圧の値及び抵抗値によって決まるが、現在の集積回路技術ではこの抵抗値は±30%程度の製造誤差が避けられないため、精度の高い定電流回路を実現することは困難だった。そこで、抵抗を外付けとする方法もあるが、その為の配線や集積回路の外付端子が必要となる。また、トリミング等により、半導体基板上の抵抗の値を調整する方法もあるが、その場合膜抵抗を半導体基板上に形成する必要があり、製造工程の増大が避けられないという問題があった。

【0011】

【課題を解決するための手段】本発明によれば、定電圧点にソースが接続された第一のnチャネルMOSトランジスタと、ゲートとドレインをこの第一のnチャネルMOSトランジスタのゲートに接続し、ソースが負電源に接続された第二のnチャネルMOSトランジスタと、ソースが正電源に接続され、ドレインとゲートが第一のnチャネルMOSトランジスタのドレインに接続された第一のpチャネルMOSトランジスタと、ソースが正電源に接続され、ゲートが第一のpチャネルMOSトランジスタのゲートに接続され、ドレインが第二のnチャネルMOSトランジスタのドレインに接続された第二のpチャネルMOSトランジスタと、ゲート及びソースがそれぞれ第二のnチャネルMOSトランジスタのゲート及びソースに接続された第三のnチャネルMOSトランジスタ又はゲート及びソースがそれぞれ第二のpチャネルMOSトランジスタのゲート及びソースに接続された第三のpチャネルMOSトランジスタとを有し、第三のnチャネルMOSトランジスタのドレイン又は第三のpチャネルMOSトランジスタのドレインからそれぞれ定電流を得ることを特徴とする定電流回路を得る。

【0012】

【実施例】本発明について図面を参照して説明する。

【0013】図1は本発明の第1の実施例を示す回路図である。nチャネルMOSトランジスタ1は、ソースが出力電圧の値が V_B である基準電圧源 V_B の正端子に接続され、ゲートがノードN1に接続され、ドレインがノ

【0009】

ードN2に接続されており、基準電圧源 V_B の負端子は、負電源 V_{SS} に接続されている。そしてnチャネルMOSトランジスタ2は、ソースが負電源 V_{SS} に接続され、ゲートとドレインが共にノードN1に接続される。pチャネルMOSトランジスタ3は、ゲートとドレインが共にノードN2に接続され、ソースが正電源 V_{DD} に接続されており、pチャネルMOSトランジスタ4は、ドレインがノードN1に接続され、ゲートがノードN2に接続され、ソースが正電源 V_{DD} に接続されている。

【0014】負荷回路7, 8は、本実施例において一定の電流の供給を受ける回路であり、必要に応じてトランジスタ5, 6とともにいずれか1組又は両方の組が用いられる。負荷回路7の一端は正電源 V_{DD} に接続され、他端は、ゲートがノードN1に接続され、ソースが負電源 V_{SS} に接続されているnチャネルMOSトランジスタ5のドレインに接続されている。負荷回路8の一端は負電源 V_{SS} に接続され、他端は、ゲートがノードN2に接続され、ソースが正電源 V_{DD} に接続されているpチャネルMOSトランジスタ6のドレインに接続されている。なお、すべてのMOSトランジスタは、そのサブストレートゲートが、そのソースに接続されている。

【0015】以下の説明において、nチャネルMOSトランジスタ1, 2, 5及びpチャネルMOSトランジスタ3, 4, 6の電子およびホール各移動度をそれぞれ μ_n 及び μ_p 、スレッショルド電圧をそれぞれ V_{+n} 及び V_{+p} とし、また、単位面積当りのゲート酸化膜容量を、すべてのトランジスタについて、 C_{ox} とする。さらに、各MOSトランジスタ1, 2, 3, 4, 5, 6のチャネル長及びチャネル幅をそれぞれ L_K 及び W_K とする。ただしKはそのトランジスタを示す符号を表わす。また、pチャネルMOSトランジスタ3, 4, 6のドレイン電流をそれぞれ I_1 , I_2 , I_4 とし、nチャネルMOSトランジスタ5のドレイン電流を I_3 とする。そして、負電源 V_{SS} の電圧を基準にして測ったノードN1の電圧を V_{gn} 、正電源 V_{DD} の電圧を基準にして測ったノードN2の電圧を V_{gp} とする。

【0016】電流 I_1 はpチャネルMOSトランジスタ3のドレイン電流であり、かつnチャネルMOSトランジスタ1のドレイン電流であるから、次のように表わされる。

【0017】

$$I_1 = \mu_p C_{ox} W_3 / 2 L_3 \cdot (V_{gp} - V_{+p})^2 = \mu_n C_{ox} W_1 / 2 L_1 \cdot (V_{gn} - V_B - V_{+n})^2 \quad (11)$$

5

電流 I_2 は p チャネル MOS トランジスタ 4 のドレイン電流であり、かつ n チャネル MOS トランジスタ 2 のド

$$I_2 = \mu_p C_{ox} W_4 / 2 L_4 \cdot (V_{gp} - V_{+p})^2 = \mu_n C_{ox} W_2 / 2 L_2 \cdot (V_{gn} - V_{+n})^2 \quad (12)$$

説明を簡単にするため、 $W_3 / L_3 = W_4 / L_4$ となる場合を考えれば、式 (11)、(12) のそれぞれの中辺が等しくなり、 $I_1 = I_2$ となる。また、式 (1

$$V_{gn} = V_{+n} + \alpha V_B$$

但し、 $\alpha = 1 / (1 + (W_2 L_1 / W_1 L_2)^{1/2})$

式 (13) を式 (12) の右辺に代入し、 $I_1 = I_2$ で

$$I_1 = I_2 = \mu_n C_{ox} W_2 / 2 L_2 \cdot \alpha^2 (V_B)^2 \quad (14)$$

一方、電流 I_3 、 I_4 はそれぞれ n チャネル MOS トランジスタ 5 及び p チャネル MOS トランジスタ 6 のドレイン電流であることから、及び式 (11) (12) を併

$$I_3 = \mu_n C_{ox} W_5 / 2 L_5 \cdot (V_{gn} - V_{+n})^2 = W_5 L_2 / W_2 L_5 \cdot I_2$$

$$I_4 = \mu_p C_{ox} W_6 / 2 L_6 \cdot (V_{gp} - V_{+p})^2 = W_6 L_3 / W_3 L_6 \cdot I_1$$

これらの2式に式 (14) を代入すると、次のようになる。

$$I_3 = \mu_n C_{ox} W_5 / 2 L_5 \cdot \alpha^2 (V_B)^2 \quad (15)$$

$$I_4 = \mu_p C_{ox} W_6 L_3 W_2 / 2 L_6 W_3 L_2 \cdot \alpha^2 (V_B)^2 \quad (16)$$

即ち、負荷回路 7 及び 8 にはそれぞれ、式 (15)、

(16) で表わされる電流 I_3 及び I_4 が供給されることになる。これらの電流 I_3 、 I_4 の値は、MOS トランジスタの電荷移動度 μ_n 、単位面積当りのゲート酸化膜容量 C_{ox} 、及び各 MOS トランジスタのチャンネル長 L_K 及びチャンネル幅 W_K の値、及び基準電圧源の電圧 V_B の値によって定まるが、これらの値はいずれも、精度よく設定することができる。

【0023】図2は本発明の第2の実施例を示す回路図である。n チャネル MOS トランジスタ 1 は、ソースが基準電圧源回路 10 の正端子に接続され、ゲートがノード N1 に接続され、ドレインがノード N2 に接続されており、基準電圧源回路 10 の負端子は、負電源 V_{SS} に接続されている。そして n チャネル MOS トランジスタ 2 は、ソースが負電源 V_{SS} に接続され、ゲートとドレインが共にノード N1 に接続されている。p チャネル MOS トランジスタ 3 は、ゲートとドレインが共にノード N2 に接続され、ソースが正電源 V_{DD} に接続されており、p チャネル MOS トランジスタ 4 は、ドレインがノード N1 に接続され、ゲートがノード N2 に接続され、ソースが正電源 V_{DD} に接続されている。基準電圧源回路 10 内では、n チャネル MOS トランジスタ 11 のゲート及びドレインが、それぞれ演算増幅器 12 の出力端子及び正入力端子に接続されており、演算増幅器 12 の負入力端子には、外部電源である基準電圧源 V_B によって、電圧 V_B が印加されている。そして n チャネル MOS トランジスタ 11 のドレイン及びソースがそれぞれ基準電圧源回路 10 の正端子及び負端子となる。

【0024】負荷回路 14 は、本実施例において一定の電流の供給を受ける回路である。負荷回路 14 の一端は

6

レイン電流であるから、次のように表わされる。

【0018】

1)、(12) のそれぞれの右辺が等しくなり、このことから、次式が成立する。

【0019】

(13)

あることを考えると、次のようになる。

【0020】

せて考えて、次のように表わせる。

【0021】

【0022】

正電源 V_{DD} に接続され、他端は、ゲートがノード N1 に接続され、ソースが負電源 V_{SS} に接続されている n チャネル MOS トランジスタ 13 のドレインに接続されている。なお、すべての MOS トランジスタは、そのサブストレートゲートが、そのソースに接続されている。

【0025】n チャネル MOS トランジスタ 1、2、13 及び p チャネル MOS トランジスタ 3、4 の電子およびホールの電荷移動度をそれぞれ μ_n 及び μ_p 、スレッショルド電圧をそれぞれ V_{+n} 及び V_{+p} とし、また、単位面積当りのゲート酸化膜容量を、すべてのトランジスタについて、 C_{ox} とする。さらに、各 MOS トランジスタ 1、2、3、4、13 のチャンネル長及びチャンネル幅をそれぞれ L_K 及び W_K とする。ただし K はそのトランジスタを示す符号を表わす。また、p チャネル MOS トランジスタ 3、4 のドレイン電流をそれぞれ I_1 、 I_2 とし、n チャネル MOS トランジスタ 13 のドレイン電流を I_5 とする。そして、負電源 V_{SS} の電圧を基準にして測ったノード N1 の電圧を V_{gn} 、正電源 V_{DD} の電圧を基準にして測ったノード N2 の電圧を V_{gp} とする。

【0026】この実施例では、基準電圧回路 10 の正端子の電圧が V_B よりも高い電圧であるとする、演算増幅器 12 の出力電圧は高くなり、n チャネル MOS トランジスタ 11 をオンにすることによって、基準電圧源回路 10 の正端子の電圧を下げる。逆に基準電圧源回路 10 の正端子の電圧が V_B よりも低い電圧であるとする、演算増幅器 12 の出力電圧は低くなり、n チャネル MOS トランジスタ 11 をオフにすることによって、基準電圧源回路 10 の正端子の電圧を上げる。したがって、基準電圧源回路 10 の正端子の電圧は V_B となり、n チャネル MOS トランジスタ 1 のソースには常に電圧

7

V_B が与えられることになる。

【0027】説明を簡単にするため、 $W_3 / L_3 = W_4 / L_4$ となる場合を考えれば、第1の実施例と同様に、

$$V_{gn} = V_{+n} + \alpha V_B$$

ただし、 $\alpha = 1 / (1 - (W_2 L_1 / W_1 L_2)^{1/2})$ 電流 I_5 は、 n チャネルMOSトランジスタ13のドレイン電流であるから、次のように表わせる。

【0029】

$$I_5 = \mu_n C_{ox} W_{13} / 2 L_{13} \cdot \alpha^2 (V_B)^2 \quad (21)$$

即ち、負荷回路14には式(21)で表わされる電流 I_5 が供給されるが、この電流 I_5 の値は、第1の実施例と同様、精度よく、定めることができる。

【0031】また、第1、第2の実施例とは異なる方法で、 n チャネルMOSトランジスタ1のソースに定電圧を与えることによっても、同様に定電流を供給することができる。さらに、定電流を供給する負荷回路の個数は限定されず、ゲートをノードN1に接続し、ソースを負電源VSSに接続した n チャネルMOSトランジスタを増設すれば、そのドレインが定電流供給の為の端子となり、ゲートをノードN2に接続し、ソースを正電源VDDに接続した p チャネルMOSトランジスタを増設すれば、そのドレインが定電流供給の為の端子となる。

【0032】

【発明の効果】以上、説明したように、本発明は、基準電圧の値及び、MOSトランジスタのチャネル長、チャネル幅等の、製造過程で精度よく実現できる値のみによって決定される定電流を供給できる。従って、この定電流回路は精度を落とすことなく集積化が可能であり、そ

8

ノードN1の電圧 V_{gn} は次のようになる。

【0028】

(20)

$I_5 = \mu_n C_{ox} W_{13} / 2 L_{13} \cdot (V_{gn} - V_{+n})^2$
従って、式(20)より、 I_5 は次のようになる。

【0030】

10 の為の製造工程の増加もないという効果を有する。

【図面の簡単な説明】

【図1】第1の実施例を示す回路図

【図2】第2の実施例を示す回路図

【図3】従来の定電流回路の回路図

【符号の説明】

1, 2, 5, 11, 13, 23, 24, 25 n チャネルMOSトランジスタ

3, 4, 6, 26, 27, 28 p チャネルMOSトランジスタ

20 7, 8, 14, 29, 30 負荷回路

12, 21 演算増幅器

22 抵抗

10 基準電圧源回路

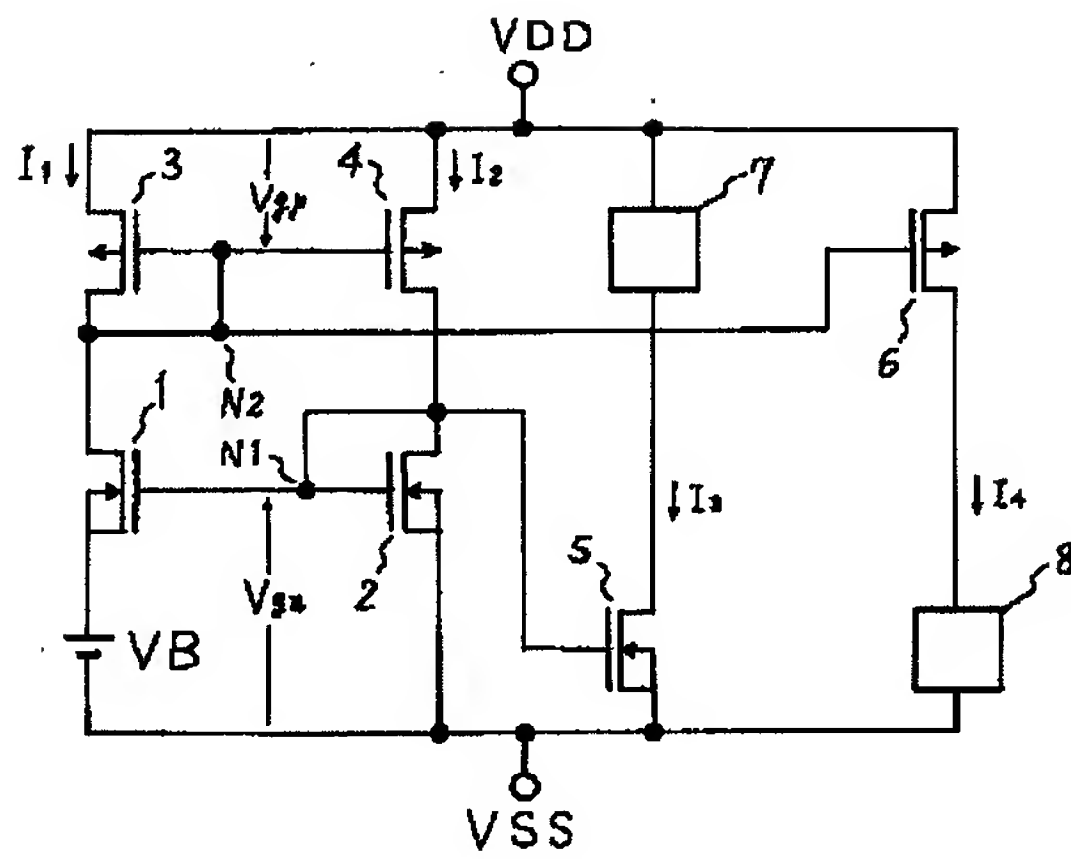
VDD 正電源

VSS 負電源

V_B 基準電圧源

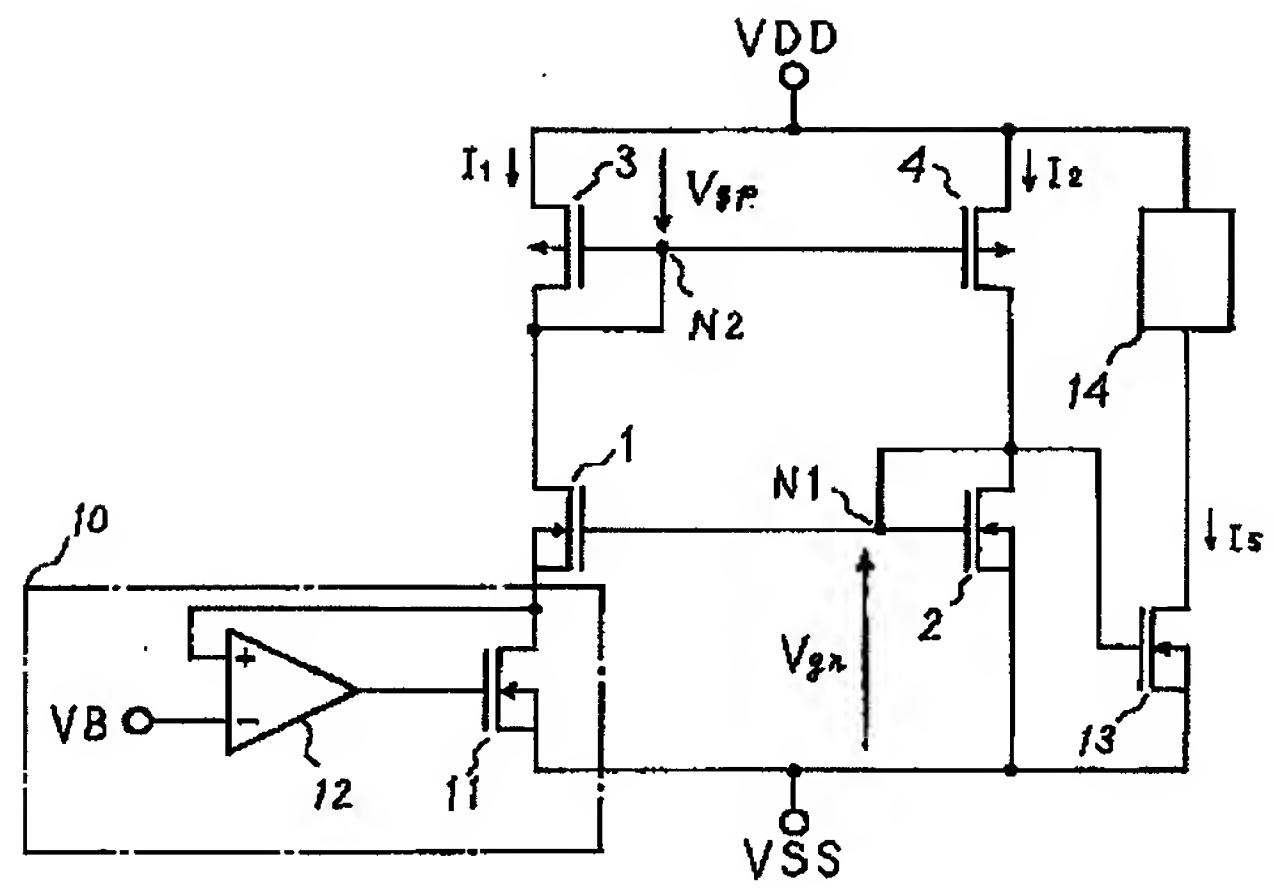
N1, N2, N21, N22 ノード

【図1】



- VB: 基準電圧源
 1: nチャネルMOSトランジスタ
 2: nチャネルMOSトランジスタ
 3: pチャネルMOSトランジスタ
 4: pチャネルMOSトランジスタ
 5: nチャネルMOSトランジスタ
 6: pチャネルMOSトランジスタ
 7: 負荷回路
 8: 負荷回路
 VDD: 正電源
 VSS: 負電源
 N_1, N_2 : ノード(接続点)

【図2】



- VB: 基準電圧源
 1: nチャネルMOSトランジスタ
 2: nチャネルMOSトランジスタ
 3: pチャネルMOSトランジスタ
 4: pチャネルMOSトランジスタ
 10: 基準電圧源回路
 11: nチャネルMOSトランジスタ
 12: 演算増幅器
 13: nチャネルMOSトランジスタ
 14: 負荷回路
 VDD: 正電源
 VSS: 負電源
 N_1, N_2 : ノード(接続点)

The circuit diagram shows a differential amplifier configuration. A differential pair of NMOS transistors, labeled 26 and 27, has their sources connected to a common source node. This node is biased by a current source \$I_1\$ connected to ground (\$V_{SS}\$) and another current source \$I_2\$ connected to the positive supply (\$V_{DD}\$). The gates of transistors 26 and 27 are driven by a differential-mode input signal \$V_B\$. The drains of transistors 26 and 27 are connected to \$V_{DD}\$ through load resistors 29 and 28, respectively. The output signals are taken from the drains. A feedback network consisting of a resistor 22 and a transistor 23 is connected between the output of transistor 26 and its gate. Another feedback path includes a resistor 24 and a transistor 25 connected between the output of transistor 27 and its gate. A third feedback path includes a resistor 30 connected between the output of transistor 28 and its gate. The circuit is powered by \$V_{DD}\$ and \$V_{SS}\$. Other components shown include a resistor 21 and a transistor 24.

VB: 基準電圧源
21: 演算増幅器
22: 抵抗
23, 24, 25: nチャネルMOSトランジスタ
26, 27, 28: pチャネルMOSトランジスタ
29, 30: 負荷回路
VDD: 正電源
VSS: 負電源
N21, N22: ノード(接続点)